

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-173940

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

G06F 13/28

(21)Application number : 03-342931

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 25.12.1991

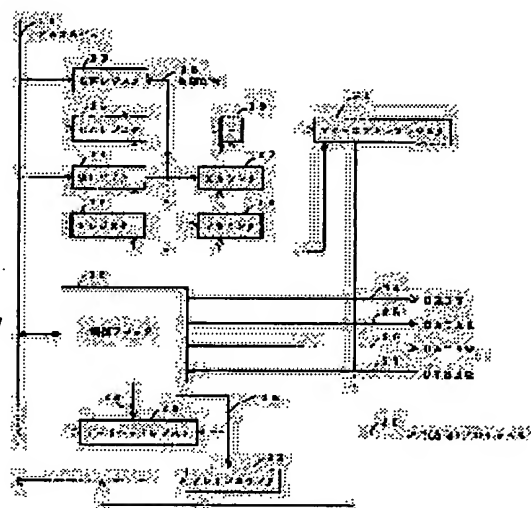
(72)Inventor : NAGASAKI TANIO

(54) PICTURE AREA DMA MECHANISM

(57)Abstract:

PURPOSE: To provide the mechanism which is directly connected to a general high-speed bus used by an EWS or a personal computer and quickly executes DMA of picture data and the picture processing dependent on this DMA.

CONSTITUTION: The width of a base rectangle area stored in a BW register 12 is added to the relative rectangle area base address stored in a BA register 13 each time when an X counter 17 counts the relative rectangle area width of a W register 14. At the same time, a Y counter 18 is counted up, and the X counter 17 is cleared. The DMA address is given by an access address register 21, and its value is obtained by adding values in the BA register 13 and the X counter 17 in an adder, and this operation is terminated when the Y counter 18 reaches the value in an H register 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

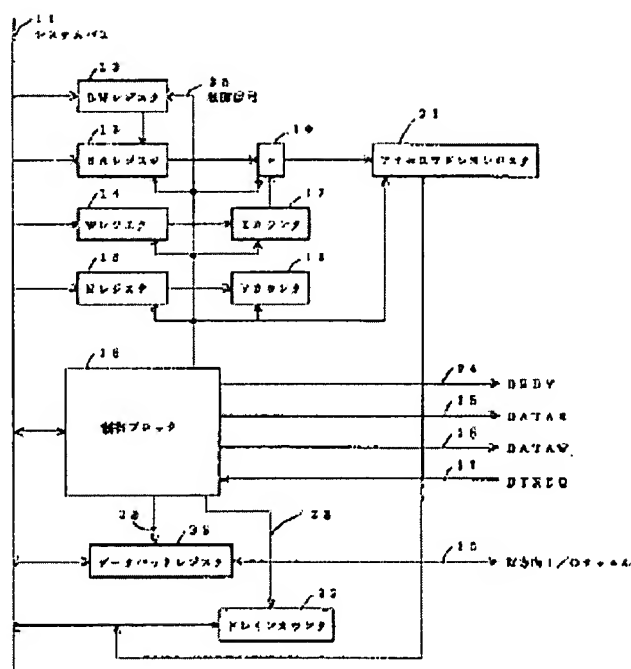
PICTURE AREA DMA MECHANISM

Publication number: JP5173940
Publication date: 1993-07-13
Inventor: NAGASAKI TANIO
Applicant: SEIKO INSTR INC
Classification:
 - International: G06F13/28; G06F13/20; (IPC1-7): G06F13/28
 - European:
Application number: JP19910342931 19911225
Priority number(s): JP19910342931 19911225

Report a data error here

Abstract of JP5173940

PURPOSE: To provide the mechanism which is directly connected to a general high-speed bus used by an EWS or a personal computer and quickly executes DMA of picture data and the picture processing dependent on this DMA.
CONSTITUTION: The width of a base rectangle area stored in a BW register 12 is added to the relative rectangle area base address stored in a BA register 13 each time when an X counter 17 counts the relative rectangle area width of a W register 14. At the same time, a Y counter 18 is counted up, and the X counter 17 is cleared. The DMA address is given by an access address register 21, and its value is obtained by adding values in the BA register 13 and the X counter 17 in an adder, and this operation is terminated when the Y counter 18 reaches the value in an H register 15.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-173940

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

G 0 6 F 13/28

識別記号

3 1 0 Y 9072-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平3-342931

(22)出願日

平成3年(1991)12月25日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 長崎 多仁生

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

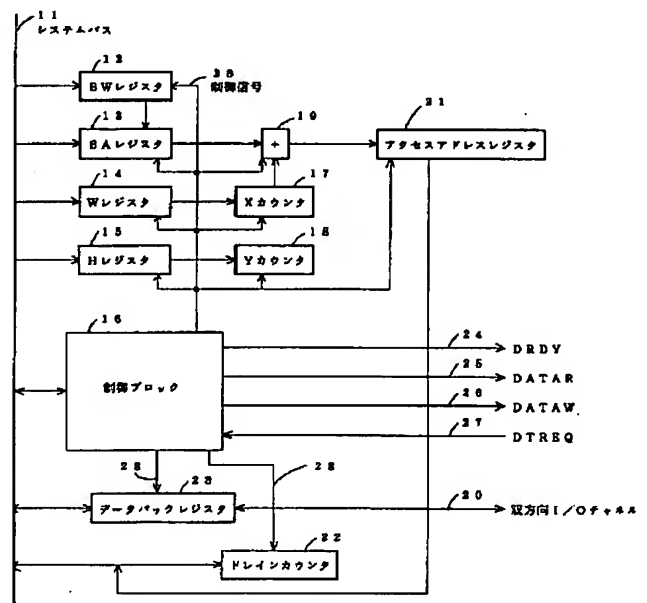
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 画像領域DMA機構

(57)【要約】

【目的】 EWSやパーソナルコンピュータで使用される汎用高速バスに直結し、画像データのDMAとそれによる画像処理を高速実行できる機構を得る。

【構成】 BWレジスタ12に格納されたベース矩形領域の幅は、BAレジスタ13に格納された相対矩形領域ベースアドレスに、Xカウンタ17がWレジスタ14の相対矩形領域幅をカウントする毎に加算される。同時に、Yカウンタ18がカウントアップされ、Xカウンタ17はクリアされる。DMAアドレスはアクセスアドレスレジスタ21によって与えられ、その値はBAレジスタ13とXカウンタ17の値を加算器で加算したもので、Yカウンタ18がHレジスタ15値になると終了する。



(2)

【特許請求の範囲】

【請求項1】 汎用高速バスに接続されるDMAにおいて、アドレス空間に矩形領域を設定し、その矩形領域内に設定された相対矩形領域の水平送査に従ったアドレスを発生するために、矩形領域のベースアドレスを設定するレジスタと、矩形領域のサイズを設定するレジスタと、相対矩形領域のベースアドレスを設定するレジスタと、相対矩形領域のサイズを設定するレジスタと、相対矩形領域の水平送査を行う水平カウンタ及び垂直カウンタと、前記カウンタのカウンタ値と前記レジスタのレジスタ値からDMAアドレスを算出する加算器からなることを特徴とするDMA機構。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、EWS（エンジニアリングワークステーション）やパーソナルコンピュータなどに於いて画像処理を行う場合、これら装置に使用されている汎用高速バスに直結し、画像処理を高速実行するためのDMA（ダイレクトメモリアクセス）機構に関する。

【0002】

【従来の技術】従来、EWSやパーソナルコンピュータを使用した画像処理に於て、これら装置に画像処理装置を付加する場合、ホストコンピュータの高速汎用バスに直結し、連続したアドレス空間を扱う通常のDMAを使用していた。

【0003】

【発明が解決しようとする課題】しかし、従来のDMAでは、扱う領域が連続であり、画像データの様な矩形データはメモリ空間上では連続したものではないため、DMAによる手段だけで効率的に画像データ内の矩形領域のデータの取り出しはできなかった。したがって必要以上のデータ転送と画像処理装置側でのメモリ装置、更にホストによる処理が必要不可欠であるという課題を有していた。

【0004】そこで、この発明の目的は、画像データの様な矩形データ領域へのアクセスが可能となるDMA機構を得ることにある。

【0005】

【課題を解決するための手段】上記課題を解決するため、この発明はホストコンピュータ上の汎用高速バスに直結される装置内のDMAにおいて、アドレス空間にベース矩形領域を設定し、その矩形領域内に設定された相対矩形領域の水平送査に従ったアドレスを発生するために、相対矩形領域のベースアドレスを設定するレジスタと、ベース矩形領域のサイズを設定するレジスタと、相対矩形領域のサイズを設定するレジスタと、相対矩形領域の水平送査を行う水平カウンタ及び垂直カウンタと、これらカウンタ値とレジスタ値からDMAアドレスを算出する加算器からなる構成とし、画像データに対してD

2

MAによって目的とするデータ領域へのアクセスが可能とする。

【0006】

【作用】上記のように構成されたDMAにおいては、ベース矩形領域のサイズとして、ベース矩形領域の幅がBW（ベースワイズ）レジスタに設定され、相対矩形領域のベースアドレスはBA（ベースアドレス）レジスタに設定され、相対矩形領域のサイズは幅がWレジスタに設定され、高さがHレジスタに設定される。DMA起動時には、相対矩形領域の水平走査に従った水平方向のカウンタをXカウンタが行い、Wレジスタで指定された幅をカウントする毎にXカウンタはクリアされる。同時に、Yカウンタがカウントされ、BAレジスタにはBWレジスタの値が加算される。DMAアドレスはアクセスアドレスレジスタによって与えられ、その値はBAレジスタとXカウンタの値を加算器で加算したものである。

【0007】

【実施例】以下に、この発明の実施例を図面に基づいて説明する。図1に示すブロック図はEWS用に実施した本発明によるDMA機構である。図2は本実施例における矩形領域31と相対矩形領域32を示したものである。DMAは32Bit幅のEWS内のシステムバス11に対しておこなわれる。このバスではアドレスとデータがマルチプレックスされている。矩形領域31の幅の値wはBW（ベースワイズ）レジスタ12に16Bit幅で設定される。BA（ベースアドレス）レジスタ13には32Bit幅で、相対矩形領域32の先頭アドレス値aが設定される。相対矩形領域32の幅の値rwはW（ワイズ）レジスタ14に16Bit幅で設定される。相対矩形領域32の高さの値rhはH（ハイト）レジスタ15に16Bit幅で設定される。

【0008】DMAの起動は制御ブロック16にコマンドが設定されてから行われる。制御ブロック16は、他のブロックの動作を制御信号28で制御する。DMAが起動されるとXカウンタ17（10Bitカウンタ）が転送毎にカウントアップしていく。Xカウンタ17がWレジスタ14の値になると、BAレジスタ13にBWレジスタ12の値が加算され、Yカウンタ18（10Bitカウンタ）も加算される。この段階でXカウンタ17はクリアされ、次の転送に備える。Yカウンタ18がHレジスタ15の値になると転送が終了する。データの転送アドレスはXカウンタ17とBAレジスタの加算を加算器19で行い算出する。データは16Bit幅の双方向I/Oチャネル20とシステムバス11の間で転送される。また、データは8Bitと16Bitが使用可能で、システムバス11のデータ幅32Bitに合わせるため、データパッキレジスタ23で32Bitデータからの分解と積み込みが行われる。

【0009】従って、画像データはシステムバス11上を32Bit幅で転送される。ただし、システムバス1

(3)

3

1側からの読みだしの場合で、矩形領域の両端等の、データが32Bit幅とならない様なとき、システムバス11への転送は8Bitあるいは16Bit単位で行う。また、システムバス11からの書き込み時などのシステムバス11からの転送の場合は全て32Bit幅で行なわれ、不必要なデータは双方向I/Oチャンネル20に転送されない。

【0010】従って、アクセスアドレスレジスタ21には転送アドレスの下位2Bitを省いたものが格納され、32Bit幅メモリアクセス時には1サイクル参照される。その他の幅でのメモリアクセス時にはドレインカウンタ22をカウントしながらその値でアドレスの下位を補い、データバックレジスタ23を分割して転送する。本実施例では画像処理装置のための送査データをDMAで得るので、データバックレジスタ23のタイミングに併せてDRDY信号24とDATAR信号25とDATAW信号26を出力する。また、DTREQ信号27は双方向I/Oチャンネル20への転送開始要求信号で、データのシステムバス11への転送時はこの信号によってDMA転送が開始される。このようにしてDMA転送時に矩形領域の画像データを扱うことが可能となる。

【0011】

【発明の効果】この発明は以上説明したように、DMA転送時に矩形領域の画像データを扱う場合、アドレス空間にベース矩形領域を設定し、その矩形領域内に設定された相対矩形領域の水平送査に従ったアドレスを発生するために、相対矩形領域のベースアドレスを設定するレジスタと、ベース矩形領域のサイズを設定するレジスタと、相対矩形領域のサイズを設定するレジスタと、相対矩形領域の水平送査を行う水平カウンタ及び垂直カウン

4

タと、これらカウンタ値とレジスタ値からDMAアドレスを算出する加算器からなる構成としたので、画像データに対してDMAによって目的とするデータ領域へのアクセスが可能となる効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例における構成例を示した説明図である。

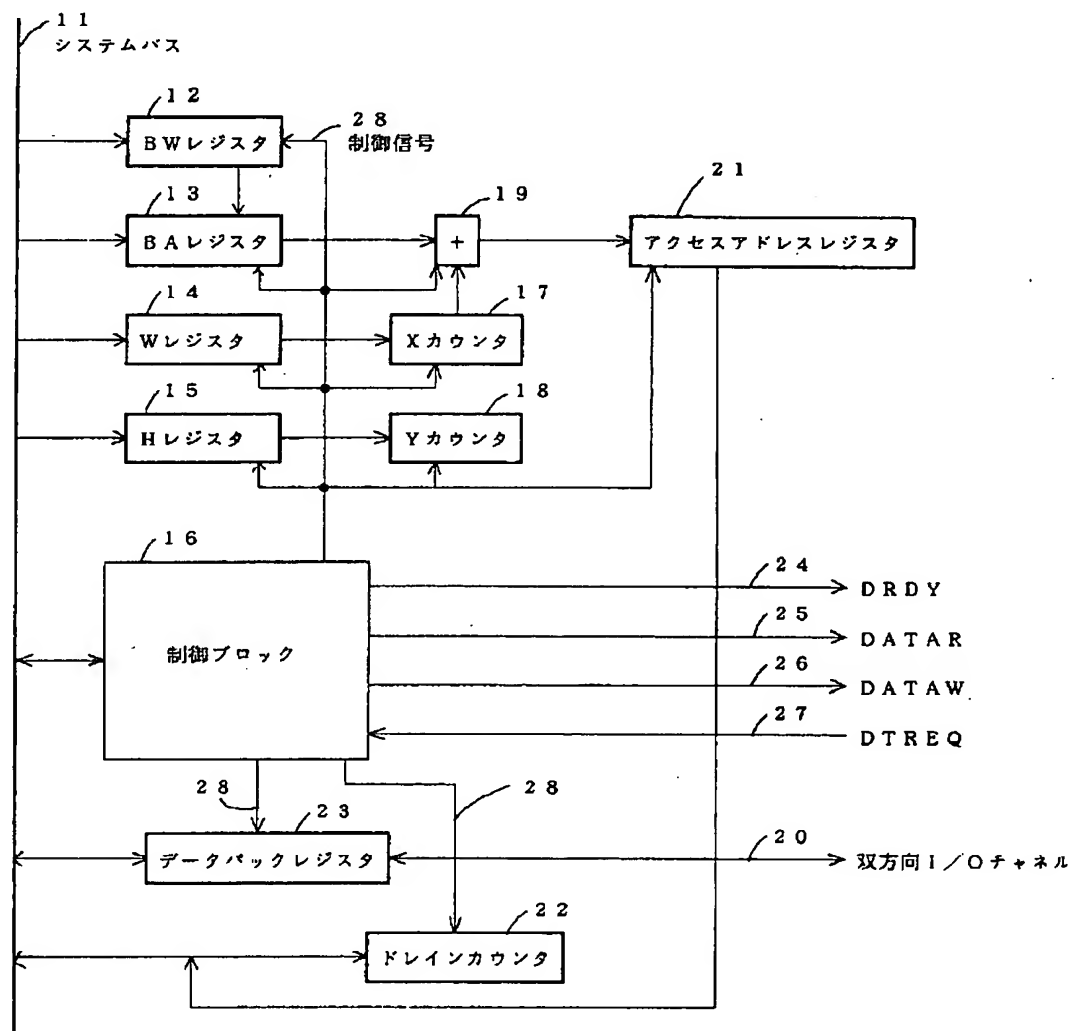
【図2】本発明の実施例におけるメモリ空間を示した説明図である。

【符号の説明】

- | | |
|----|--------------|
| 11 | システムバス |
| 12 | BWレジスタ |
| 13 | BAレジスタ |
| 14 | Wレジスタ |
| 15 | Hレジスタ |
| 16 | 制御ブロック |
| 17 | Xカウンタ |
| 18 | Yカウンタ |
| 19 | 加算器 |
| 20 | 双方向I/Oチャンネル |
| 21 | アクセスアドレスレジスタ |
| 22 | ドレインカウンタ |
| 23 | データバックレジスタ |
| 24 | DRDY信号 |
| 25 | DATAR信号 |
| 26 | DATAW信号 |
| 27 | DTREQ信号 |
| 28 | 制御信号 |
| 31 | 矩形領域 |
| 32 | 相対矩形領域 |

(4)

【図1】



(5)

【図2】

